

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-200447

(43) 公開日 平成10年(1998) 7月31日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 B 1/707

H 0 4 J 13/00

D

7/26

H 0 4 B 7/26

N

H 0 4 Q 7/38

1 0 9 N



審査請求 未請求 請求項の数 4 F D (全 15 頁)

(21) 出願番号 特願平9-11960

(22) 出願日 平成9年(1997) 1月7日

(71) 出願人 390010515

株式会社鷹山

東京都世田谷区北沢 3-5-18 鷹山ビル

(72) 発明者 寿 国梁

東京都世田谷区北沢 3-5-18 鷹山ビル

株式会社鷹山内

(72) 発明者 周 長明

東京都世田谷区北沢 3-5-18 鷹山ビル

株式会社鷹山内

(72) 発明者 周 旭平

東京都世田谷区北沢 3-5-18 鷹山ビル

株式会社鷹山内

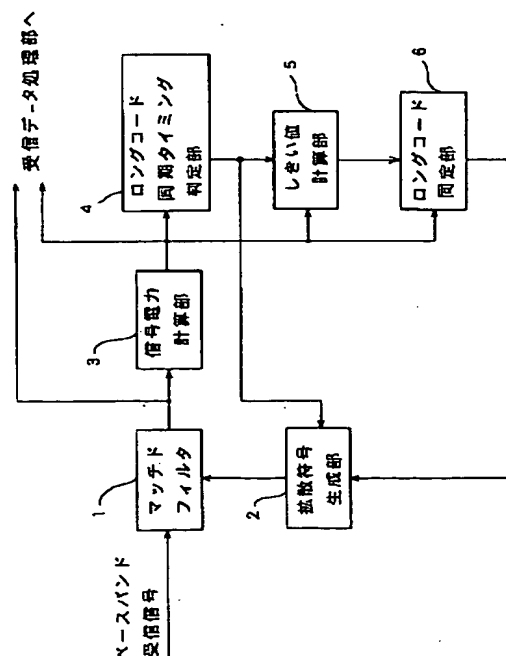
(74) 代理人 弁理士 高橋 英生

(54) 【発明の名称】 DS-CDMA基地局間非同期セルラ方式における初期同期方法および受信機

(57) 【要約】

【課題】 高速でセルサーチを行うことのできるDS-CDMA基地局間非同期セルラ方式における初期同期方法および受信機を提供する。

【解決手段】 ベースバンド受信信号は、マッチドフィルタ1に入力され、拡散符号生成部2からの拡散符号と相関がとられる。信号電力計算部3は、マッチドフィルタ1の相関値出力の電力を計算し、ロングコード同期タイミング判定部4、しきい値計算部5、ロングコード同期部6に出力する。拡散符号生成部2は、初期セルサーチ時において、各基地局の制御チャネルに共通のショートコード#0を出力する。ロングコード同期タイミングが判定された後は、各基地局に固有のロングコード#iとショートコード#0との合成コードである拡散符号系列の一部であるNチップの各切片を、順次取り替えながら出力する。



【特許請求の範囲】

【請求項1】 各セルに固有のロングコードと各通信チャネルに対応したショートコードとからなり、制御チャネルに前記各セルに共通の特定のショートコードが割り当てられた拡散符号系列を用いるDS-CDMA基地局間非同期セルラ方式における初期同期方法であって、前記特定のショートコードと受信信号との相関に基づいて当該基地局からのロングコード同期タイミングを判定し、前記各セルに固有のロングコードと前記特定のショートコードとからなる各合成コードの切片であって、切り取られる区間を各合成コードごとに前記切片のチップ数よりも少ない所定チップ数ずつずらせた各切片と前記受信信号との相関をマッチドフィルタを用いて検出し、前記相関出力信号の電力の大きさに基づいて当該基地局からのロングコードを同定するものであり、前記各切片と前記受信信号との相関は、前記ロングコード同期タイミングに基づいて検出を開始し、前記受信信号が前記所定チップ数だけ前記マッチドフィルタに新たに入力されるごとに前記各切片を順次取り替えて検出するものであることを特徴とするDS-CDMA基地局間非同期セルラ方式における初期同期方法。

【請求項2】 各セルに固有のロングコードと各通信チャネルに対応したショートコードとからなり、制御チャネルに前記各セルに共通の特定のショートコードが割り当てられた拡散符号系列を用いるDS-CDMA基地局間非同期セルラ方式用受信機であって、前記各セルに固有のロングコードと前記特定のショートコードとからなる各合成コードの切片であって、切り取られる区間を各合成コードごとに前記切片のチップ数よりも少ない所定チップ数ずつずらせた各切片を出力する拡散符号生成手段と、該拡散符号生成手段の出力と受信信号との相関をとるマッチドフィルタと、前記特定のショートコードと前記受信信号との相関に基づいて当該基地局からのロングコード同期タイミングを判定するロングコード同期タイミング判定手段と、前記ロングコード同期タイミングに基づいて、前記拡散符号生成手段から前記各切片の1つを前記マッチドフィルタにロードさせ、その後、前記受信信号が前記所定チップ数だけ前記マッチドフィルタに新たに入力されるごとに前記各切片を順次取り替えてロードさせるとともに、前記マッチドフィルタの出力信号の電力の大きさに基づいて当該基地局からのロングコードを同定するロングコード同定手段を有することを特徴とするDS-CDMA基地局間非同期セルラ方式用受信機。

【請求項3】 前記拡散符号生成手段は、さらに前記特定のショートコードを出力するものであり、前記ロングコード同期タイミング判定手段は、前記拡散符号生成手段から前記特定のショートコードを前記マッチドフィルタにロードさせるとともに、前記マッチドフィルタの出力信号の電力の大きさに基づいて当該基地局からのロン

グコード同期タイミングを判定するものであることを特徴とする請求項2に記載のDS-CDMA基地局間非同期セルラ方式用受信機。

【請求項4】 前記マッチドフィルタは、複数のサンプルホールド回路と、前記各サンプルホールド回路の出力を前記拡散符号系生成段の出力の対応するビットの値に応じて第1あるいは第2の出力端子に出力する複数の乗算部と、前記各乗算部の第1の出力端子の出力を加算する第1のアナログ加算回路と、前記各乗算部の第2の出力端子の出力を加算する第2のアナログ加算回路と、前記第1のアナログ加算回路の出力と前記第2のアナログ加算回路の出力との減算を行う第3のアナログ加算回路を有することを特徴とする請求項2または3に記載のDS-CDMA基地局間非同期セルラ方式用受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DS-CDMA (Direct Sequence-Code Division Multiple Access) 基地局間非同期セルラ方式における初期同期方法およびそのための受信機に関するものである。

【0002】

【従来の技術】近年の陸上移動通信の発展に伴い、チャネル容量を大幅に増加することが可能な直接拡散(DS)型のスペクトラム拡散(SS)を用いた符号分割多元接続(CDMA)方式のCDMAセルラ方式が注目されている。一般に、CDMA方式においては他局との相互干渉があるため、他の多元接続方式(FDMA, TDMA)に比べて周波数利用効率が劣化する。しかし、セルラ方式においては、空間的な周波数再利用効率(同一周波数のセル繰り返し率)が総合的な周波数利用効率に寄与するため干渉に強く、セル繰り返し率の高いCDMAセルラ方式は、将来の有力な方式である。

【0003】一般にセルラシステムにおいては、移動機が接続するセルを最初に捕捉する初期セルサーチ、ハンドオーバー時に周辺のセルをサーチする周辺セルサーチ、との2種類のセルサーチが必要となる。特にDS-CDMAセルラシステムにおいては、各セルが同一の周波数を用いているため、セルサーチと同時に受信信号の拡散符号と受信機において生成する拡散符号レプリカとのタイミング誤差を1/2チップ周期以内に捕捉する初期同期を行うことが必要である。

【0004】このようなDS-CDMAセルラシステムは、全基地局間の時間同期を厳密に行う基地局間同期システムと、これを行わない基地局間非同期システムとの2つの方式に分類される。基地局間同期システムは、GPS(Global Positioning System)などの他のシステムを利用して基地局間同期を実現するもので、各基地局では同一のロングコードを各基地局毎に異なる遅延を与えて使用するため、初期セ

ルサーチはロングコードのタイミング同期を行うのみでよい。また、ハンドオーバー時の周辺セルサーチは、移動機にはそれが属する基地局から周辺基地局のコード遅延情報を通知されるため、より高速に行うことができる。

【0005】これに対し、基地局間非同期システムでは、基地局を識別するために各基地局で用いる拡散符号を変えている。移動機は、初期セルサーチにおいて拡散符号を同定することが必要となる。また、ハンドオーバー時の周辺セルサーチでは、移動機が属する基地局から周辺基地局で使用している拡散符号の情報を得ることにより、同定する拡散符号の数を限定することが可能となる。しかし、いずれの場合でも、前記基地局間同期システムの場合と比較するとサーチ時間が大きくなり、拡散符号にロングコードを使用する場合にはセルサーチに要する時間は膨大なものとなる。しかしながら、この基地局間非同期システムは、GPS等の他のシステムを必要としないというメリットがある。

【0006】このような基地局間非同期システムの問題を解決し、初期同期を高速に行うことができるセルサーチ方式が提案されている（樋口健一、佐和橋衛、安達文幸、「DS-CDMA基地局間非同期セルラ方式におけるロングコードの2段階高速初期同期法」信学技報、CS-96-19、RCS96-12（1996-05））。この初期同期法は、各セルに固有のロングコードと各通信チャネルに対応したショートコードとからなる拡散符号系列を用いて、データをロングコードとショートコードにより2重に拡散するものにおいて、制御チャネルに対し、前記各セルに共通の特定のショートコードを割り当てて2段階で初期同期を行うものである。

【0007】具体的には、基地局送信の制御チャネルについては、特定のショートコードを各セル共通のものとするとともにロングコード拡散をマスクする。移動機側では、最初に、第1ステージとして、マッチドフィルタを用いて前記共通ショートコードで逆拡散してロングコードのタイミングを検出し、次に、第2ステージとして、相関器を用いて各セルに固有のロングコードと前記共通ショートコードとからなる拡散符号系列を用いて各セル固有のロングコードの同定を行うものである。

【0008】図9は、セルの構成図である。図中、61は移動機である。各セル#1～#n内にはそれぞれ基地局BS1、BS2、・・・BSnが設けられており、各基地局は、それぞれ異なるロングコード#1、#2、・・・、#nと各チャネルを識別するためのショートコード#0～#sとを用いて2重に拡散したシンボルを用いて移動機61に信号を送る。ここで、前記ショートコード#0～#sは、各セルにおいて共通であり、また、各セルとも制御チャネルには共通のショートコード#0が割り当てられている。

【0009】図10は、従来の2段階高速初期同期法を説明するためのタイミング図であり、移動機における制

御チャネルの受信信号の一例を示している。各基地局から送信された制御チャネルの受信信号（BSk-2、BSk-1、BSkからの受信信号のみを図示している）は、1ロングコード周期で、ショートコード#0のみで拡散されたシンボル（図中斜線部分）を有している。このショートコード#0は、各基地局共通に割り当てられたもので、一定周期でロングコード拡散を行なわないようにすることにより実現されている。また、制御チャネルのその他のシンボル位置は、各基地局毎に異なるロングコード#iと上述したショートコード#0とにより2重に拡散されている。このように、BSk-2～BSkなどの各基地局から送信された制御チャネルは、非同期に多重化されて移動機で受信される。

【0010】第1ステージにおいて、移動機は、マッチドフィルタを用いて、ベースバンド受信信号とショートコード#0との相関をとる。各基地局の制御チャネルのショートコード#0による拡散シンボルの受信タイミングに対応する位置に、それぞれ相関のピークが検出される。ロングコードのR周期の期間にわたって、これらのピーク電力を平均してから最大の平均ピーク電力に対応するタイミングを検出する。検出したタイミング、図示のコードタイミングTを、移動局が位置するセルの基地局から送信された制御チャネルのロングコード同期タイミングであると決定する。

【0011】次に、第2ステージにおいて、移動機は、上述した基地局、図10に示した例ではBSk（図9に示した例では基地局BS1）を識別するために、ロングコードタイミングTを検出した制御チャネルを拡散しているロングコード#kの同定を行う。このために、初期セルサーチにおいては、システムで定められているロングコード群#1～#nの中から順次ロングコード#kを選択し、この選択したロングコード#k+ショートコード#0の合成コードのレプリカ符号を生成して、第1ステージで得られたロングコード同期タイミングに対して相関器を用いて相関検出を行う。

【0012】相関検出値がしきい値を超えるまでロングコード#iを取り替えて相関検出を行ない、閾値を超えたロングコード#kを受信制御チャネルのロングコードであると判定してセルサーチを終了する。これにより、当該基地局を識別することができる。

【0013】また、ハンドオーバー時の周辺セルサーチにおいては、現在接続している基地局から通知された周辺セルのロングコード群から、同様に、順次ロングコード#i+ショートコード#0の合成コードのレプリカ符号を生成し、ロングコード同期タイミングに対して相関検出を行う。

【0014】以上のように、ロングコードのタイミング同期とロングコードの同定とを分離することによりセルサーチを高速に行うことができる。通常の基地局間非同期セルラシステムにおいては、セルサーチを行うのに

(拡散符号の数×拡散符号の位相数) 回程度の相関検出を行うことが必要であるのに対し、この提案されている方法によれば、(拡散符号の数+拡散符号の位相数) 回程度の相関検出で済むこととなる。したがって、通常の基地局間非同期セルラシステムと比較すれば、セルサーチを高速に実行することができる。しかし、相関器を用いて相関検出を行うと、毎回の相関検出に要する時間が依然として長いという問題があり、より高速に初期同期をとることが望まれている。

【0015】

【発明が解決しようとする課題】本発明は、より高速にセルサーチを行うことのできるDS-CDMA基地局間非同期セルラ方式における初期同期方法および受信機を提供することを目的とするものである。

【0016】

【課題を解決するための手段】上記目的を達成するために、請求項1に記載の発明においては、各セルに固有のロングコードと各通信チャネルに対応したショートコードとからなり、制御チャネルに前記各セルに共通の特定のショートコードが割り当てられた拡散符号系列を用いるDS-CDMA基地局間非同期セルラ方式における初期同期方法であって、前記特定のショートコードと受信信号との相関に基づいて当該基地局からのロングコード同期タイミングを判定し、前記各セルに固有のロングコードと前記特定のショートコードとからなる各合成コードの切片であって、切り取られる区間を各合成コードごとに前記切片のチップ数よりも少ない所定チップ数ずつずらせた各切片と前記受信信号との相関をマッチドフィルタを用いて検出し、前記相関出力の電力の大きさに基づいて当該基地局からのロングコードを同定するものであり、前記各切片と前記受信信号との相関は、前記ロングコード同期タイミングに基づいて検出を開始し、前記受信信号が前記所定チップ数だけ前記マッチドフィルタに新たに入力されるごとに前記各切片を順次取り替えて検出するものである。

【0017】したがって、マッチドフィルタには、1つの合成コードの切片との相関処理が終了した時点でも、ベースバンド受信信号の一部がまだ残っているため、これを捨てずに次の合成コードの切片との相関処理に用いることができる。その結果、ロングコードのサーチ速度を高速化することができる。スライディング相関器を用いる場合は、前回相関に使われた受信信号は次回相関の直前に捨てられる。

【0018】請求項2に記載の発明においては、各セルに固有のロングコードと各通信チャネルに対応したショートコードとからなり、制御チャネルに前記各セルに共通の特定のショートコードが割り当てられた拡散符号系列を用いるDS-CDMA基地局間非同期セルラ方式用受信機であって、前記各セルに固有のロングコードと前記特定のショートコードとからなる各合成コードの切片

であって、切り取られる区間を各合成コードごとに前記切片のチップ数よりも少ない所定チップ数ずつずらせた各切片を出力する拡散符号生成手段と、該拡散符号生成手段の出力と受信信号との相関をとるマッチドフィルタと、前記特定のショートコードと前記受信信号との相関に基づいて当該基地局からのロングコード同期タイミングを判定するロングコード同期タイミング判定手段と、前記ロングコード同期タイミングに基づいて、前記拡散符号生成手段から前記各切片の1つを前記マッチドフィルタにロードさせ、その後、前記受信信号が前記所定チップ数だけ前記マッチドフィルタに新たに入力されるごとに前記各切片を順次取り替えてロードさせるとともに、前記マッチドフィルタの出力信号の電力の大きさに基づいて当該基地局からのロングコードを同定するロングコード同定手段を有するものである。したがって、請求項1に記載の発明と同様に、ロングコードのサーチ速度を高速化することができる。

【0019】請求項3に記載の発明においては、請求項2に記載のDS-CDMA基地局間非同期セルラ方式用受信機において、前記拡散符号生成手段は、さらに前記特定のショートコードを出力するものであり、前記ロングコード同期タイミング判定手段は、前記拡散符号生成手段から前記特定のショートコードを前記マッチドフィルタにロードさせるとともに、前記マッチドフィルタの出力信号の電力の大きさに基づいて当該基地局からのロングコード同期タイミングを判定するものである。したがって、ロングコード同期タイミングを容易に判定することができるとともに、ロングコード同期タイミングの判定とロングコードの同定をマッチドフィルタを用いて行うことができる。

【0020】請求項4に記載の発明においては、請求項2または3に記載のDS-CDMA基地局間非同期セルラ方式用受信機において、前記マッチドフィルタは、複数のサンプルホールド回路と、前記各サンプルホールド回路の出力を前記拡散符号系生成手段の出力の対応するビットの値に応じて第1あるいは第2の出力端子に出力する複数の乗算部と、前記各乗算部の第1の出力端子の出力を加算する第1のアナログ加算回路と、前記各乗算部の第2の出力端子の出力を加算する第2のアナログ加算回路と、前記第1のアナログ加算回路の出力と前記第2のアナログ加算回路の出力との減算を行う第3のアナログ加算回路を有するものである。上述したマッチドフィルタは消費電力が小さいため、受信機の消費電力を軽減することができる。

【0021】

【発明の実施の形態】図1は、本発明のDS-CDMA基地局間非同期セルラ方式用受信機の実施の一形態を示すブロック図である。図中、1はマッチドフィルタ、2は拡散符号生成部、3は信号電力計算部、4はロングコード同期タイミング判定部、5はしきい値計算部、6は

ロングコード同定部である。従来技術と同様に、各基地局は、各々の制御チャンネルにおいて、各々の決まったタイミングで開始するロングコード周期で1情報シンボル長のロングコードをマスクし、各基地局共通のショートコード#0のみで拡散したシンボルを送信する。

【0022】この実施の形態においては、説明を簡単にするため、図示しない基地局送信機では送信データをバイナリ拡散符号で拡散した送信信号をBPSK(Binary PSK)変調して送出し、移動機の受信部では、BPSK復調の後、前記拡散符号で逆拡散をするものとして説明する。

【0023】基地局からのスペクトラム拡散された送信信号は、受信アンテナから高周波受信部に入力され、中間周波数信号に変換された後、中間周波数発振器の出力と乗算されローパスフィルタを通してベースバンド受信信号となる。ベースバンド受信信号は、マッチドフィルタ1に入力され、拡散符号生成部2からの拡散符号と相関がとられる。信号電力計算部3は、マッチドフィルタ1の相関値出力の電力を計算し、ロングコード同期タイミング判定部4、しきい値計算部5、ロングコード同定部6に出力する。

【0024】拡散符号生成部2は、ロングコード同期タイミング判定部4およびロングコード同定部6により制御される。拡散符号生成部2は、最初、初期セルサーチ時において、各基地局の制御チャンネルに共通のショートコード#0を出力する。ロングコード同期タイミングが判定された後は、各基地局に固有の各ロングコード#iとショートコード#0との合成コードである拡散符号系列の一部であるNチップの各切片を順次取り替えながら出力する。

【0025】また、ハンドオーバーする前の周辺サーチにおいては、上述した初期セルサーチ時と同様に、各基地局の制御チャンネルに共通のショートコード#0を出力する。ハンドオーバー先の基地局のロングコード同期タイミングが判定された後は、現在属している基地局の制御チャンネルから受け取った周辺セルのロングコードの情報に基づいて、サーチすべき複数のロングコード#iとショートコード#0の合成コードの部分的なNチップの各切片を、順次取り替えながら出力する。

【0026】ロングコード同期タイミング判定部4は、初期セルサーチの場合、拡散符号生成部2からショートコード#0をマッチドフィルタ1にロードさせるとともに、最大の相関値の平均電力(Rロングコード周期にわたって平均化された電力値)が出力される時点のタイミングを選び出し、このタイミングをロングコード同期タイミングとして、拡散符号生成部2およびしきい値計算部5に出力する。しきい値計算部5は、ロングコード同期タイミング時の最大の相関値の電力に基づいてロングコード同定部6に出力するしきい値を計算する。また、ハンドオーバーする前の周辺セルサーチの場合には、同様

に拡散符号生成部2からショートコード#0をマッチドフィルタ1にロードさせるとともに、現在通信中の基地局を除いた最大の相関値の平均電力が出力される時点のタイミングを選び出し、このタイミングをハンドオーバー先の基地局のロングコード同期タイミングとして拡散符号生成部2等に出力し、拡散符号生成部2は、各切片の第1番目のものをマッチドフィルタ1にロードさせる。

【0027】ロングコード同定部6は、ロングコード同期タイミング検出後、各切片を取り替えて順次ロードさせるとともに、信号電力計算部3の出力を所定のしきい値と比較する。このしきい値を超えていれば、このとき拡散符号生成部2にロードしている合成コードに対応したロングコードのコード番号を、受信すべき基地局のロングコードであると同定する。

【0028】マッチドフィルタ1の出力および信号電力計算部3の出力は、図示しない受信データ処理部に必要に応じて出力される。例えば、マッチドフィルタ1の出力をレーク合成回路に出力したり、信号電力計算部3の出力をマルチパス検出器に出力してパスダイバーシティ受信を行うことができる。

【0029】図2は、図1におけるマッチドフィルタの一例の説明図である。図2(A)はマッチドフィルタの概念図、図2(B)はマッチドフィルタの係数入力端子に入力される合成コードの切片の説明図である。図2

(A)中、11はシフトレジスタ、12は乗算部、13は加算器、A~Zは、係数入力端子である。この概念図では、ベースバンド受信信号は、正負の極性付きで入力され、各合成コードの切片は、1または-1の値をとる符号列であるとする。図2(B)に示した符号列の上に付したA、B・・・Zの記号は、各符号が、それぞれ図2(A)に示した係数入力端子A、B~Zに入力されるものであることを表わしている。なお、図2のMは自然数を表している。

【0030】図2(A)に示すように、マッチドフィルタ1は、上述した合成コードの切片のチップ数に等しい段数のシフトレジスタ11、各レジスタ段のタップ出力と係数入力とを乗算する乗算部12、乗算部12の全ての出力を加算する加算器13を備えている。シフトレジスタ11の部分は、実際にはCCD(Charge Coupled Device)やSAW(Surface Acoustic Wave)フィルタなどのアナログ素子、あるいは、デジタルIC回路などのデジタル素子により構成される。また、後述するようなアナログ演算回路により構成された、低消費電力のマッチドフィルタを使用することもできる。

【0031】いずれの場合でも、マッチドフィルタ1に対する電源電圧の供給を制御することより、マッチドフィルタ1は、待ち受け時に所定の時間間隔をもって相関値のピークを検出することが可能な時間だけ駆動されるようにすることができる。これにより、同期捕捉のため

に消費電力の大きいマッチドフィルタを使用しても、その動作は間欠的に行なわれるため、全体としての消費電力を少なく抑えることが可能となる。

【0032】図3は、図1に示した実施の一形態における初期セルサーチの動作を説明するためのフローチャートである。図1に示したブロック図、図2に示したマッチドフィルタの概念図および合成コードの切片の説明図を併用して説明する。

【0033】S21においては、拡散符号生成部2がマッチドフィルタ1にショートコード#0をロードする。S22においては、マッチドフィルタ1によりベースバンド受信信号とショートコード#0の相関をとり、信号電力計算部3によりマッチドフィルタ1の出力の電力を計算してロングコード同期タイミング判定部4に出力する。S23においては、ロングコード同期タイミング判定部4により、この電力があるしきい値を超えた値と対応する時刻とを記憶する。なお、このしきい値は、これまでに信号電力計算部3から出力された電力の平均値レベルに決めるなどして、ベースバンド受信信号に対して適応制御することもできる。上述した処理をロングコードの複数の周期にわたって行い、記憶した値を対応する時刻ごとに平均化してから相互に比較し、平均化の後に、最大の相関ピーク値の電力となるときのタイミングを選び出し、これをロングコード同期タイミングとして、拡散符号生成部2等に出力する。

【0034】S24においては、ロングコード同期タイミング判定部4がコード番号*i*の値を1に初期設定し、S25においては、拡散符号生成部2がロングコード#1とショートコード#0との合成コード#1の一部であって、所定チップ長の切片、例えば128チップをロードする。最初は、図2(B)に示したように、PN(1)₁₂₈, PN(1)₁₂₇, ..., PN(1)₁が、図2(A)に示した係数入力端子A~Zに入力される。

【0035】S26においては、マッチドフィルタ1によりベースバンド受信信号と上述した合成コード#1の切片との相関、すなわち、合成コード#1との部分相関をとり、ロングコード同期部6により相関出力の電力がしきい値を超えたか否かを判定する。具体的には、ロングコード同期タイミングの時点で、ベースバンド受信信号と合成コード#1の切片との相関をとり、信号電力計算部3の出力がしきい値計算部5で計算された所定のしきい値を超えていればS27に処理を進め、超えていなければ、S28に処理を進める。

【0036】なお、しきい値計算部5は、ロングコード同期タイミング時の最大の相関ピーク値の電力の所定比率となるレベル、あるいは、現時点までの信号電力計算部3の出力電力の平均値レベルを出力するなどして、しきい値をベースバンド受信信号に対して適応制御させることができる。

【0037】S27においては、このときのロングコード#*i*を所望の基地局のロングコードであると決定してセルサーチを終了する。S28においては、このときのロングコード#*i*が最後のロングコードであるか否かを判定し、最後のロングコードであればS21に処理を戻し、再度ロングコード同期タイミングの判定からやり直し、最後のロングコードでなければ、S29に処理を進める。このDS-SSMA基地局間非同期セルラ方式で使用しているロングコードの最後のものは、例えば、ロングコード#512であるとする。

【0038】S29においては、合成コード#*i*の*i*の値を1だけ進める。例えば、*i*=1であった場合には*i*=2として、S25に処理を戻す。S25においては、拡散符号生成部2がロングコード#2とショートコード#0からなる合成コード#2の切片をマッチドフィルタ1にロードする。

【0039】この合成コード#2の切片は、単純には、合成コード#1の切片の場合と同様に、PN

(2)₁₂₈, PN(2)₁₂₇, ..., PN(2)₁として、ベースバンド受信信号と相関をとればよい。しかし、相関電力のピークを判定するには、ある程度の処理時間、またピーク位相の変動等を考慮して、ある程度の観測間隔が必要であることから、ベースバンド受信信号と合成コード#1の切片との相関をとった時点から、さらにベースバンド受信信号のMチップが入力された後の時点で、ベースバンド受信信号と次の合成コード#2の切片との相関をとることにしている。その間において、ベースバンド受信信号のMチップが新たに図2

(A)に示したシフトレジスタ11に入力され、シフトされている。

【0040】したがって、相関をとるべき次の合成コード#2の切片は、ベースバンド受信信号のシフトに対応させる必要があり、図2(B)に示すように、PN

(2)_{M+128}, PN(2)_{M+127}, ..., PN

(2)_{M+1}として、図2(A)に示した係数入力端子A~Zに入力される。引き続きS26~S29では、合成コード#2の切片を用いて、合成コード#1の切片の場合と同様の処理を行う。なお、Mの値は、理論的にはM=1としてもよいが、チップ同期の精度、相関ピークの変動等を考慮した場合、余裕を持たせたM=4が妥当である。Mの値は、ショートコードのチップ数に比べて小さな値でよい。

【0041】以後も同様の処理を行うが、S27に進むことなく、S25において、最後のロングコード#512に対応する合成コード#512の切片をロードして部分相関をとる場合には、この切片は、図2(B)に示したように、PN(512)_{511M+128}, PN(512)_{511M+127}, ..., PN(512)_{511M+1}となる。これらの合成コード#*i*の切片は、毎回生成してもよいが、あらかじめ合成しておいて、ロングコード同期部6

内のメモリなどに記憶しておき、必要なときに随時読み出すようにすることができる。

【0042】図4は、本発明の実施の形態において、ベースバンド受信信号と、これと相関処理される各合成コードの切片との対応関係を説明するための説明図である。マッチドフィルタ1において、ロングコード同期タイミングで、ベースバンド受信信号は、合成コード#1の1番目のチップから128番目のチップまでの切片と相関がとられる。このとき、ベースバンド受信信号の一番古いチップを第1番目のチップと定め、この第1番目のチップを基準にベースバンド受信信号のチップの位置を指示して説明する。図では、括弧を付してベースバンド受信信号のチップの位置を指示している。

【0043】次にベースバンド受信信号が新たにMチップ入力され、M回シフトしたタイミングでは、ベースバンド受信信号のM+1番目～M+128番目のチップが、合成コード#2のM+1番目～M+128番目のチップの切片と相関がとられる。次にベースバンド受信信号が新たにMチップ入力され、M回シフトしたタイミングで、ベースバンド受信信号の2M+1番目～2M+128番目のチップが、合成コード#2の2M+1番目～2M+128番目のチップの切片と相関がとられる。

【0044】以後同様な相関処理がマッチドフィルタ1において行なわれるが、最後の合成コード#512の切片とベースバンド受信信号との相関がとられる場合には、ベースバンド受信信号の511M+1番目～511M+128番目のチップが、合成コード#512の511M+1番目～511M+128番目のチップの切片と相関がとられる。

【0045】上述したように、各合成コード#iの切片は、相関がとられるベースバンド受信信号の新たな入力に対応して、切り取られる区間を所定のMチップずつずらせたものである。各切片とベースバンド受信信号との相関検出は、ロングコード同期タイミングから開始し、ベースバンド受信信号が新たにMチップずつマッチドフィルタ1に入力されるごとに各切片を順次取り替えて行っている。

【0046】上述した処理手順により、非常に高速に初期セルサーチができる。例えば、切片のチップ数Nを128チップ（1シンボル）とし、Mの値を4、ロングコードの総数を512とした場合、最長でも、 $128 + (512 - 1) \times 4 = 2172$ チップの時間で全てのロングコードに対して1回サーチできる。

【0047】図5は、相関器を用いた従来技術において、ベースバンド受信信号と、これと相関処理される合成コードとの対応関係を説明するための説明図である。従来技術の説明で引用した文献に記載された従来技術は、相関器を用いるものであるが、ロングコードの同定のために相関をとる区間を本発明の具体例と同じ条件とし、1シンボル128チップとする。

【0048】ロングコード同期タイミングの時点で、ベースバンド受信信号の1番目のチップから128番目のチップは、合成コード#1の1番目のチップから128番目のチップまでの切片と相関がとられる。引き続き、ベースバンド受信信号の128+1番目～128×2番目のチップが、合成コード#2の128+1番目～128×2番目のチップと相関がとられる。次にベースバンド受信信号の128×2+1番目～128×3番目のチップが、合成コード#3の128×2+1番目～128×3番目のチップと相関がとられる。

【0049】相関器を用いる場合には、ベースバンド受信信号と1つの合成コードとの相関処理が終了した時点では、それまでのベースバンド受信信号が残っていない。これに対して、上述した本発明の実施の形態によれば、ベースバンド受信信号と1つの合成コードの切片との相関処理が終了した時点でも、ベースバンド受信信号の一部がまだマッチドフィルタ内に残っているため、これを捨てずに次の合成コードの切片との相関処理に用いることができる。その結果、マッチドフィルタを用いる本発明の具体例では、サーチ速度が、 N/M 倍、 $N=128$ 、 $M=4$ としたときには、 $128/4=32$ 倍と高速化される。

【0050】ハンドオーバーする前の周辺セルサーチ時においても、ロングコード同期タイミング判定後、制御チャネルからもらった周辺セルのロングコードの情報に基づいて、サーチすべきロングコードとショートコード#0の合成コードの切片を順番にマッチドフィルタに入力し、上述した初期セルサーチの場合と同様にしきい値を超えたロングコードを探し出すことができる。サーチ速度は、同様に、従来技術に比べて、 $N/M=128/4=32$ 倍となる。

【0051】なお、上述した説明では、マッチドフィルタを1つしか用いていないが、マッチドフィルタを複数個、例えば2個用いて、同時に異なるロングコードの相関検出を同時並行して行うようにすれば、さらにサーチ速度を早めることができる。

【0052】上述した本発明の実施の形態においては、ベースバンド受信信号と1つの合成コードの切片との相関処理は、毎回1度しか行っていない。しかし、先に検出したロングコード同期タイミングが、マルチパス等の影響で真のロングコード同期タイミングから若干ずれていれば、合成コードの切片とベースバンド受信信号の相関をとる時点が真のロングコード同期タイミングからずれてしまい、このような場合には、ロングコードの同定ができなくなるおそれがある。

【0053】そこで、このような場合を考慮して、ベースバンド受信信号と1つの合成コードとの相関処理を、毎回、相対的なタイミングを数チップの範囲内でずらせて複数回行うようにする。このような複数回の相関処理で得た電力値の中から最も大きな相関ピーク電力が得ら

れた時点を真のロングコード同期タイミングであるとするとともに、このときに用いた合成コードのコード番号から所望のロングコードを同定することができる。

【0054】再び図3を用いて具体的に説明する。S26において、ロングコード同期タイミングでベースバンド受信信号と合成コードの切片との相関をとった後、引き続き、ベースバンド受信信号が新たにマッチドフィルタ1に入力される間においても、1チップ入力されるごとに、信号電力計算部3の出力を連続的に記憶して、複数個記憶された電力値同士を互いに比較して、その中から最大の電力値を選び、この最大の電力値と対応するコード番号を残す。残された最大電力値をしきい値計算部5で計算された所定のしきい値と比較し、残された最大の電力値が、このしきい値を超えていればS27に処理を進め、超えていなければ、S28に処理を進める。

【0055】S28、S29、S25を経て再びS26のステップに戻った時点では、ベースバンド受信信号と次の合成コードの切片との相関が検出されるが、上述したように、この時点は、ベースバンド受信信号が新たにマッチドフィルタ1にMチップ入力された後になる。したがって、信号電力計算部3の出力を連続的に記憶する個数は、M以下の値であれば適宜の値に設定することができる。逆に、連続的に記憶するチップ数に応じてMの値を決めてもよい。

【0056】図6は、図1におけるマッチドフィルタの一例の構成図である。このマッチドフィルタは消費電力が小さいため、本発明を適用した移動機の消費電力を一層軽減することができる。図7は、図6における反転増幅器、乗算部、基準電圧発生部の構成を示す回路図であり、図7(a)は反転増幅器、図7(b)は乗算部、図7(c)は基準電圧発生部である。図8は、反転増幅器にキャパシタンスを介して入力電圧を印加するアナログ演算回路を説明するための回路図である。図中、31-1~31-6はサンプルホールド回路、32は制御部、33-1~33-6は乗算部、34は基準電圧発生回路、35は拡散符号生成部、36~41は加算器、51はスイッチ、52~55はCMOSインバータ回路、56、57はCMOSトランシッションゲートである。

【0057】図を簡略にするために、拡散符号系列が6ビットからなるものとし、6段の遅延段を有するものとして記載してあるが、実際に使用される拡散符号系列はこれよりもかなり長い符号系列が使用されるから、それに対応する数の段数を設ける。

【0058】ベースバンド受信信号は、サンプリングタイミングを制御する制御部32により、サンプルホールド回路31-1~31-6の1つに分配されて順次入力される。サンプルホールド回路31-1~31-6の各出力は、乗算部33-1~33-6において、拡散符号系列を生成する拡散符号生成部35の出力と乗算され、加算器36~41で加算されて相関値を出力する。乗算

部33-1~33-6は、基準電圧34から基準電圧が入力されている。

【0059】サンプルホールド回路31-1~31-6は、制御部32により制御されるアナログスイッチ、キャパシタンスC1および反転増幅器Ampから構成されている。加算器36~41は複数の入力端子に接続されたキャパシタンスと反転増幅器Ampとから構成されている。このように、このマッチドフィルタにおいては、サンプルホールド回路および加算器において、入力側に接続されたキャパシタンスと反転増幅器からなるアナログ演算回路（ニューロオペンプ）を用いる。

【0060】図7(a)に示す反転増幅器において、スイッチ51は、電源Vddと反転増幅器Ampとの間に直列に接続され、図示しない電源制御部により制御されて必要時にのみ反転増幅器Ampを動作させる。CMOSインバータ回路52~54は縦属接続され、入力端子ViはCMOSインバータ回路52の入力部であり、出力端子VoはCMOSインバータ回路54の出力部である。両端子の間には帰還用のキャパシタンスCfが設けられている。

【0061】この反転増幅器Ampは、CMOSインバータの出力がハイレベルからローレベルあるいはローレベルからハイレベルに遷移する部分を利用して、インバータを増幅器として使用するものであり、奇数段、例えば図示するように3段のCMOSインバータにより構成される。なお、CMOSインバータ回路53、54の段間で電源電圧を分圧している抵抗R1、R2は、増幅器のゲインを制御するために設けられ、また、出力端子Voとアース間のキャパシタンスCgは位相調整のために設けられており、いずれも、反転増幅器Ampの発振を防止するためのものである。

【0062】図8を参照して、この反転増幅器Ampにキャパシタンスを介して入力電圧を印加するアナログ演算回路の動作を説明する。入力電圧V1、V2は、それぞれキャパシタンスC1およびC2を介して図7(a)に示した反転増幅器Ampに印加される。反転増幅器Ampの電圧増幅率は非常に大きいため、この反転増幅器Ampの入力側のB点における電圧はほぼ一定の値となり、このB点の電圧をVbとする。このとき、B点は、キャパシタンスC1、C2、CfおよびCMOSインバータ52を構成するトランジスタのゲートに接続された点であり、いずれの電源からもフローティング状態にある。

【0063】したがって、初期状態において、各キャパシタンスC1、C2、Cfに蓄積されている電荷が0であるとする、入力電圧V1およびV2が印加された後においても、このB点を基準としてみたときの各キャパシタンスに蓄積される電荷の総量は0となる。これにより、次の電荷保存式が成立する。

【0064】 $C1(V1 - Vb) + C2(V2 - Vb)$

$$+C_f(V_{out}-V_b)=0$$

ここで、各入力電圧 V_1 および V_2 をB点の電圧 V_b を基準とする電圧に置き換え、 $V(1)=V_1-V_b$ 、 $V(2)=V_2-V_b$ 、 $V'_{out}=V_{out}-V_b$ とすると、次式を導くことができる。

$$V'_{out}=-\{(C_1/C_f)V(1)+(C_2/C_f)V(2)\}$$

すなわち、アナログ演算回路(ニューロオペアンプ)からは、 V_b を基準とした大きさが各入力電圧 $V(i)$ に入力キャパシタンス C_i とフィードバックキャパシタンス C_f との比である係数 (C_i/C_f) を乗算した値の和で、極性が反転された出力電圧 V'_{out} が出力されることとなる。

【0065】図6に戻り、サンプルホールド回路31-1~31-6について説明する。サンプルホールド回路31-1~31-6においては、図8に示したアナログ演算回路(ニューロオペアンプ)において、入力端子が1つの場合に相当し、入力キャパシタンス C_1 の値とフィードバックキャパシタンス C_f の値とを等しくすれば、出力電圧は、上述した式により $-V(1)$ となる。すなわち、制御部32により入力スイッチが開放された時点におけるベースバンド受信信号の電圧が極性反転されて出力される。

【0066】制御部32は、各サンプルホールド回路31-1~31-6に対し順次制御信号を印加して、各サンプルホールド回路31-1~31-6に設けられているアナログスイッチを一旦閉成し、拡散変調信号の各チップに対応するタイミングで各サンプルホールド回路31-1~31-6のスイッチを順次開放して入力電圧を取り込むように制御する。これにより、各サンプルホールド回路31-1~31-6には、拡散符号系列の1周期分の受信信号が取り込まれ、その極性の反転した受信信号が出力される。各サンプルホールド回路31-1~31-6からの出力は、それぞれ乗算部33-1~33-6に入力される。乗算部33-1~33-6は、同一構成の2個のマルチプレクサ回路MUX1、MUX2により構成されている。

【0067】図7(b)に示したマルチプレクサ回路において、制御信号入力端子 S_i が「1」(ハイレベル)のときには、トランスミッションゲート56が導通、57が非導通となり、第1の入力端子 I_{n1} からの入力信号が出力端子 O_{ut} に出力され、制御信号入力端子 S_i が「0」(ローレベル)のときには、トランスミッションゲート56が非導通、57が導通となり、第2の入力端子 I_{n2} からの入力信号が出力端子 O_{ut} に出力される。

【0068】図6に戻り、乗算部33-1~33-6について説明する。乗算部33-iの第1のマルチプレクサ回路MUX1の第1の入力端子 I_{n1} には、対応するサンプルホールド回路31-iからの出力電圧 V_i が、

第2の入力端子 I_{n2} には基準電圧発生回路34から入力される基準電圧 V_r が印加される。一方、第2のマルチプレクサ回路MUX2の各入力端子 I_{n1} および I_{n2} は、第1のマルチプレクサ回路MUX1とは入力の接続関係を逆にしている。すなわち、第1の入力端子 I_{n1} には基準電圧 V_r が、第2の入力端子 I_{n2} にはサンプルホールド回路31-iの出力電圧 V_i が印加される。

【0069】また、制御信号入力端子 S_i には拡散符号生成部35から出力される拡散符号系列のうち、このマルチプレクサ回路MUXが含まれている乗算部33-iに対応するビットのデータが入力される。第1のマルチプレクサ回路MUX1の出力が乗算部73-iのH出力となり、第2のマルチプレクサ回路MUX2の出力が乗算部73-iのL出力となる。

【0070】したがって、制御信号入力端子 S_i に印加される拡散符号の対応するビットの値が「1」のときは、MUX1は、サンプルホールド回路31-iからの入力電圧を出力し、MUX2は、基準電圧発生回路34からの基準電圧 V_r を出力する。一方、拡散符号の対応するビットが「0」のときは、MUX1は、基準電圧発生回路34からの基準電圧 V_r を出力し、MUX2は対応するサンプルホールド回路31-iからの入力電圧を出力する。

【0071】図7(c)に示した基準電圧発生回路 V_{ref} において、スイッチ51は、電源 V_{dd} と基準電圧発生回路 V_{ref} との間に直列に接続され、図示しない電源制御部により制御されて、必要時にのみ基準電圧発生回路 V_{ref} を動作させる。CMOSインバータ回路52~54は、図7における従属接続されたCMOSインバータ回路と同じものであるが、回路記号は簡略化して記載している。出力端子 V_r はCMOSインバータ回路54の出力部であり、CMOSインバータ回路52の入力部と出力端子 V_r とは直結されている。なお、図7に示した反転増幅器Ampと同様に、ゲイン制御用の抵抗 R_1 、 R_2 、位相調整用のキャパシタンス C_g が設けられている。

【0072】この基準電圧発生回路 V_{ref} は、その入出力電圧が等しくなる安定点に出力電圧が収束するものであり、各CMOSインバータ52~54の閾値の設定等により所望の基準電圧 V_r を生成することができる。ここでは、ダイナミックレンジを大きくできるように、基準電圧 $V_r=電源電圧V_{dd}/2=V_b$ とされている。したがって、乗算部33-1~33-6のH出力、L出力から基準電圧 V_r が出力されている場合には、上述した V'_{out} の式からベースバンド受信信号は0となる。

【0073】乗算部33-1~33-3におけるMUX1からの出力(H出力)は、加算器36に入力される。加算器36において、各乗算部33-1~33-3から

の入力電圧にそれぞれ対応する入力キャパシタンス C_2 , C_3 , C_4 の大きさは、フィードバックキャパシタンス C_f の $1/3$ の大きさとしているため、上述した V_{out} の式から、各乗算部 $33-1 \sim 33-3$ の出力電圧の和の $1/3$ の大きさを有する電圧が出力される。なお、この出力電圧の極性は、このマッチドフィルタの入力であるベースバンド受信信号の電圧と同一の極性である。乗算部 $33-4 \sim 33-6$ のH出力は、加算器 38 に入力されており、上述した場合と同様にして、それらの和の大きさを有する電圧が出力される。この電圧の極性もベースバンド受信信号の電圧と同一の極性である。

【0074】加算器 36 , 38 の出力は、加算器 40 に入力される。この加算器 40 における入力キャパシタンス C_5 , C_6 の値は、ともにフィードバックキャパシタンス C_f の値の $1/2$ としており、加算器 40 からは、加算器 36 の出力の $1/2$ の大きさの電圧と加算器 38 の出力の $1/2$ の大きさの電圧の和の電圧が出力される。この電圧はベースバンド受信信号の電圧とは逆の極性を有している。一方、乗算部 $33-1 \sim 33-3$ におけるMUX 2 の出力(L出力)は、加算器 37 に入力され、これらの和の大きさを有する電圧が出力される。また、乗算部 $33-4 \sim 33-6$ のL出力は、加算器 39 に入力され、それらの和の大きさを有する電圧が出力される。いずれも、ベースバンド受信信号の電圧と同一の極性を有する電圧が出力される。

【0075】加算器 40 , 37 , 39 の出力は加算器 41 に入力される。この加算器 41 における加算器 40 からの入力に対応する入力キャパシタンス C_7 の大きさは、フィードバックキャパシタンス C_f の大きさと等しくされ、また、加算器 37 および 39 からの入力に対応する入力キャパシタンス C_8 および C_9 の大きさは、 C_f の値の $1/2$ とされているため、この加算器 41 からは、加算器 40 の出力電圧、加算器 37 の出力電圧の $1/2$ の電圧、加算器 39 の出力電圧の $1/2$ の電圧の和の電圧に対応する電圧が出力されることとなる。したがって、この加算器 41 からは、拡散符号生成部 35 から出力される拡散符号系列における「1」が供給される乗算部 $33-i$ に接続されたサンプルホールド回路 $31-i$ の出力の和と、拡散符号系列における「0」が供給される乗算部 $33-i$ に接続されたサンプルホールド回路 $31-i$ の出力の和、との差の電圧、すなわちベースバンド受信信号と拡散符号系列との相関値が出力されることとなる。

【0076】なお、加算器 40 において入力電圧の和の $1/2$ の電圧が出力されるようにし、加算器 41 において加算器 37 および 39 からの出力電圧の $1/2$ の電圧が加算されるようにしているのは、最大電圧が電源電圧を超えることがないようにするためである。

【0077】加算器 41 から相関値が出力された後、ベ

ースバンド受信信号の次のタイミングで新たに入力されるチップを、サンプルホールド回路 $31-1 \sim 31-6$ の中でベースバンド受信信号の最も古いチップがサンプルホールドされていたサンプルホールド回路に入力する。これと同期して、拡散符号生成部 35 は、出力していた拡散符号系列を1チップだけ循環シフトさせて出力する。上述した演算処理と同様の処理を行ない、上述した次のタイミングのベースバンド受信信号に対する同じ拡散符号系列との相関値を得る。一旦サンプルホールドされたベースバンド受信信号を次段のサンプルホールド回路にシフトさせる処理を行う必要がないため、それによる誤差の発生を防止することができる。このマッチドフィルタは、このようにしてベースバンド受信信号のサンプルホールド回路 $31-1 \sim 31-6$ への分配と拡散符号系列のシフトを順次行うことにより、相関演算処理を行うことができる。

【0078】このマッチドフィルタによれば、演算処理が容量結合によるアナログ処理により実行されるため、回路規模がデジタル処理の場合に比べて大幅に減縮することができ、また、並列演算であるために高速に処理を実行することができる。さらに、各回路における入出力は全て電圧信号であるため、非常に低消費電力のものとすることができる。

【0079】なお、上述した説明では、基地局送信機においては、送信データをバイナリ符号で拡散変調した送信信号をBPSK変調して送出し、移動機の受信部では、BPSK復調の後、バイナリ符号で逆拡散をする場合を例示した。しかし、フェージングなどによる位相変化を補償するために、受信部で、PSK復調の後I, Qチャネル別にそれぞれを同一のバイナリ符号で逆拡散してもよい。また、データ変調の変調形式および拡散符号化の変調形式は、特に限定されるものでなく、異なる変調方式の組み合わせも自由であり、基本的に同様な構成で実現することができる。例えば、送信データを複素数符号系列で拡散変調した送信信号をQPSKあるいはQAM変調して送出してもよい。

【0080】

【発明の効果】以上の説明から明らかなように、本発明によれば、初期セルサーチ時に、ロングコード同期タイミングに基づいてマッチドフィルタでロングコードの同定を行なっているので、高速に初期同期を行うことができる。また、周辺セルサーチ時にも、同様に、ハンドオーバー先のロングコード同期タイミングに基づいてマッチドフィルタでハンドオーバー先のロングコードの同定を行なっているので高速に初期同期を行うことができる。さらにまた、アナログ演算回路(ニューロオペアンプ)によるマッチドフィルタを使用することにより、低消費電力の受信機を提供することが可能となる。なお、従来の2段階のセルサーチ法がマッチドフィルタと相関器を併用しているのに対して、本発明では共通なマッチドフィ

ルタのみを使用するため、回路規模が小さく、システム構成が容易になる。

【図面の簡単な説明】

【図1】本発明のDS-SS-CDMA基地局間非同期セルラ方式用受信機の実施の一形態の構成を示すブロック図である。

【図2】図1におけるマッチドフィルタの一例の説明図である。図2(A)はマッチドフィルタの概念図、図2(B)はマッチドフィルタの係数入力端子に入力される合成コードの説明図である。

【図3】図1に示した実施の一形態における初期セルサーチの動作を説明するためのフローチャートである。

【図4】本発明の実施の形態において、ベースバンド受信信号と、これと相関処理される各合成コードの切片との対応関係を説明するための説明図である。

【図5】相関器を用いた従来技術において、ベースバンド受信信号と、これと相関処理される合成コードとの対応関係を説明するための説明図である。

【図6】図1におけるマッチドフィルタの一例の構成図である。

【図7】図6における反転増幅器、乗算部、基準電圧発生部の構成を示す回路図であり、図7(a)は反転増幅器、図7(b)は乗算部、図7(c)は基準電圧発生部である。

【図8】反転増幅器にキャパシタンスを介して入力電圧を印加するアナログ演算回路を説明するための回路図である。

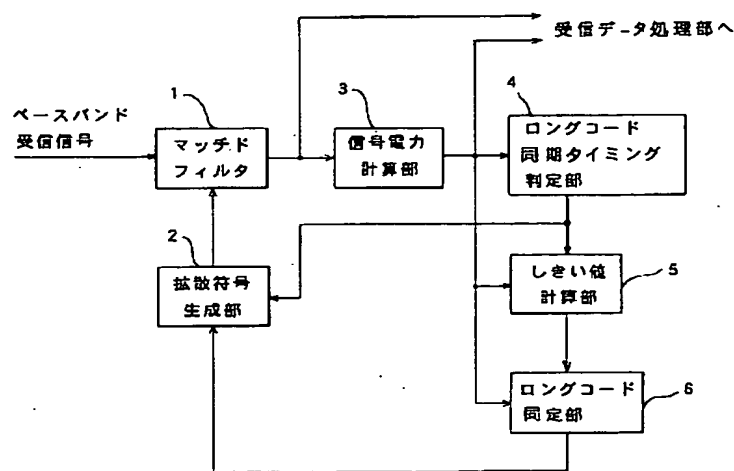
【図9】セルの構成図である。

【図10】従来の2段階高速初期同期法を説明するためのタイミング図である。

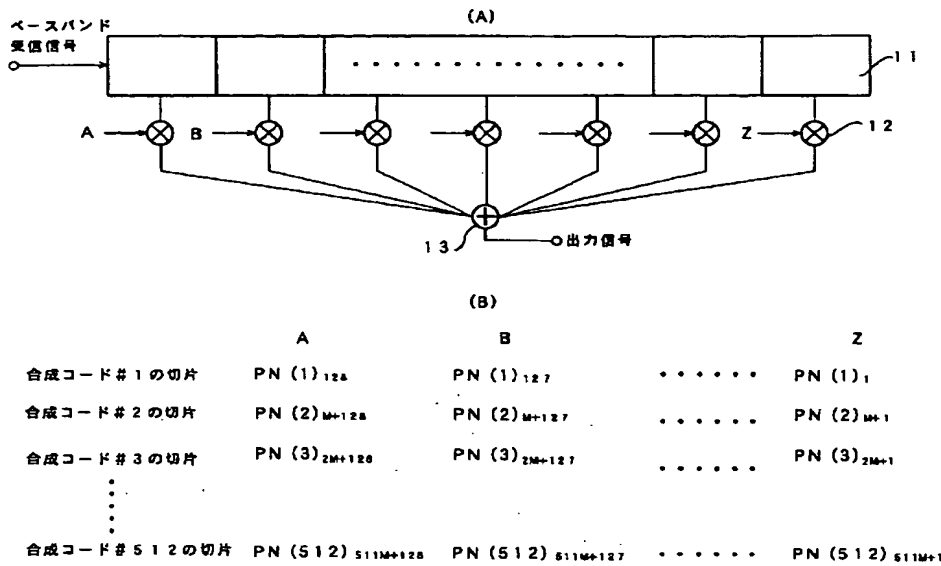
【符号の説明】

- 1 マッチドフィルタ
- 2, 35 拡散符号生成部
- 3 信号電力計算部
- 4 ロングコード同期タイミング判定部
- 5 しきい値計算部
- 6 ロングコード同定部
- 11 シフトレジスタ
- 12, 33-1~33-6 乗算部
- 13, 36~41 加算器
- 31-1~31-6 サンプルホールド回路
- 32 制御部
- 34 基準電圧発生回路
- 51 スイッチ
- 52~55 CMOSインバータ回路
- 56, 57 CMOSトランスマッションゲート
- 61 移動機

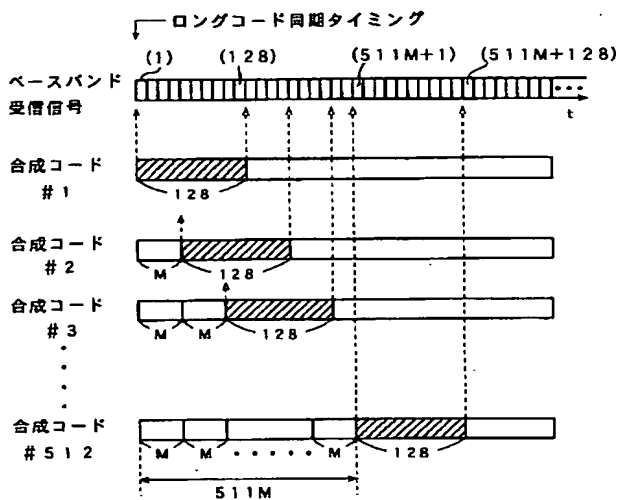
【図1】



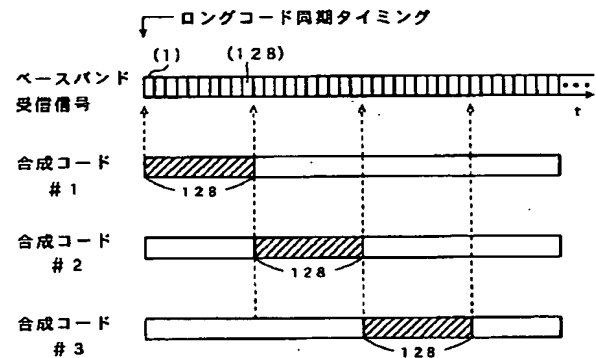
【図2】



【図4】

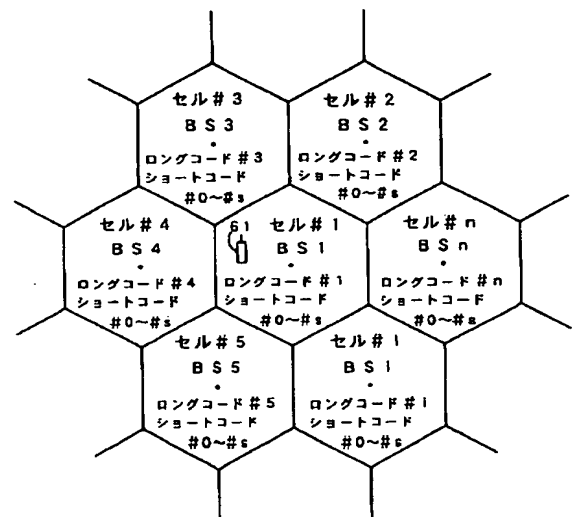
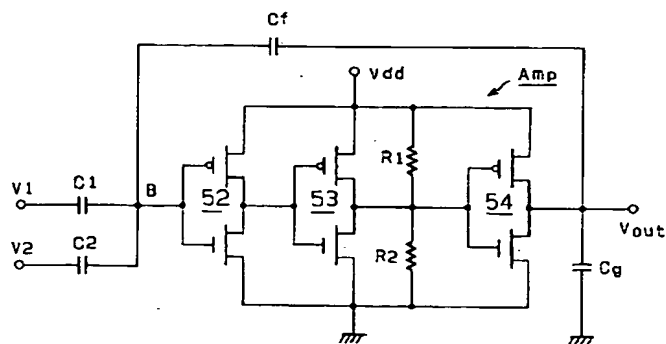


【図5】

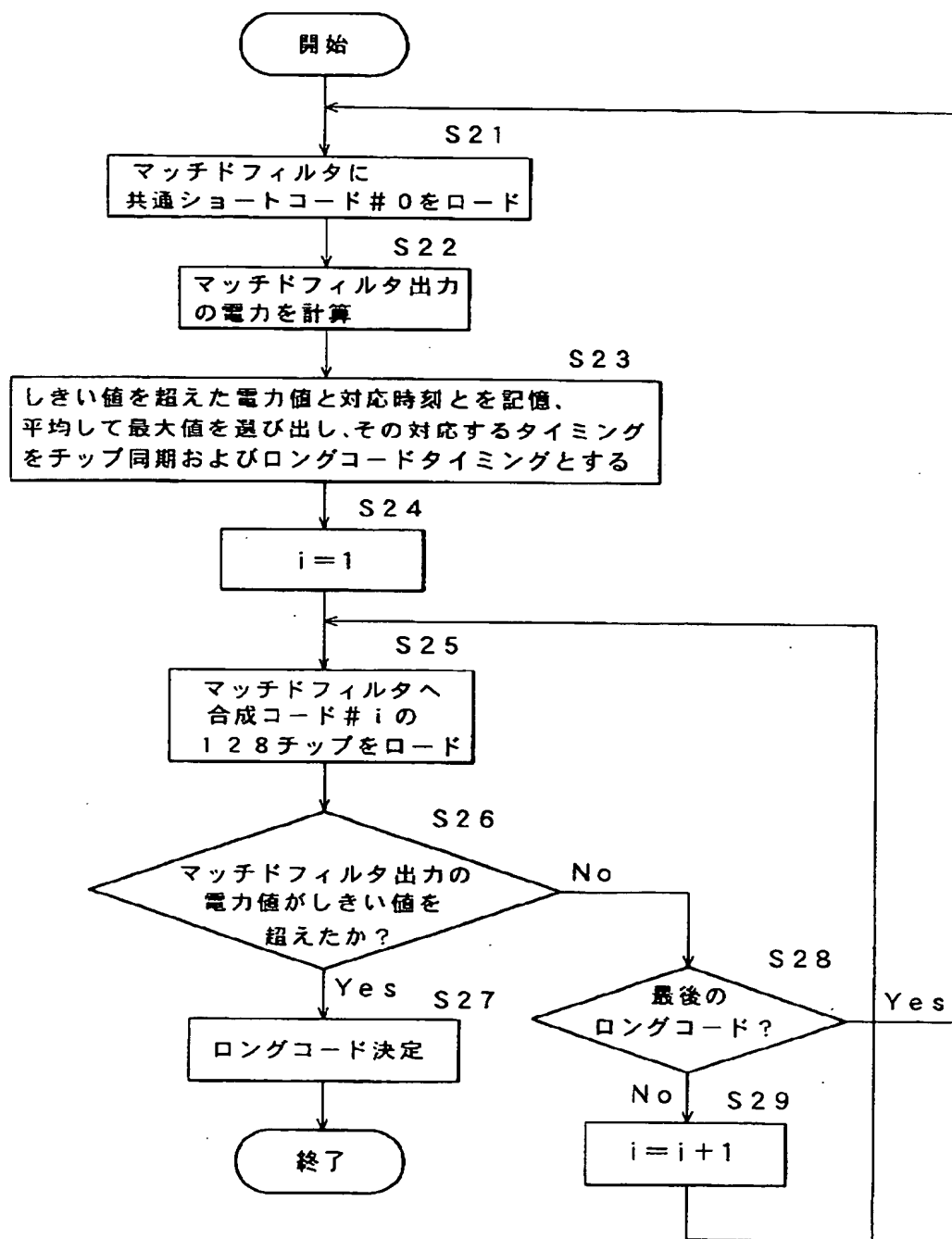


【図9】

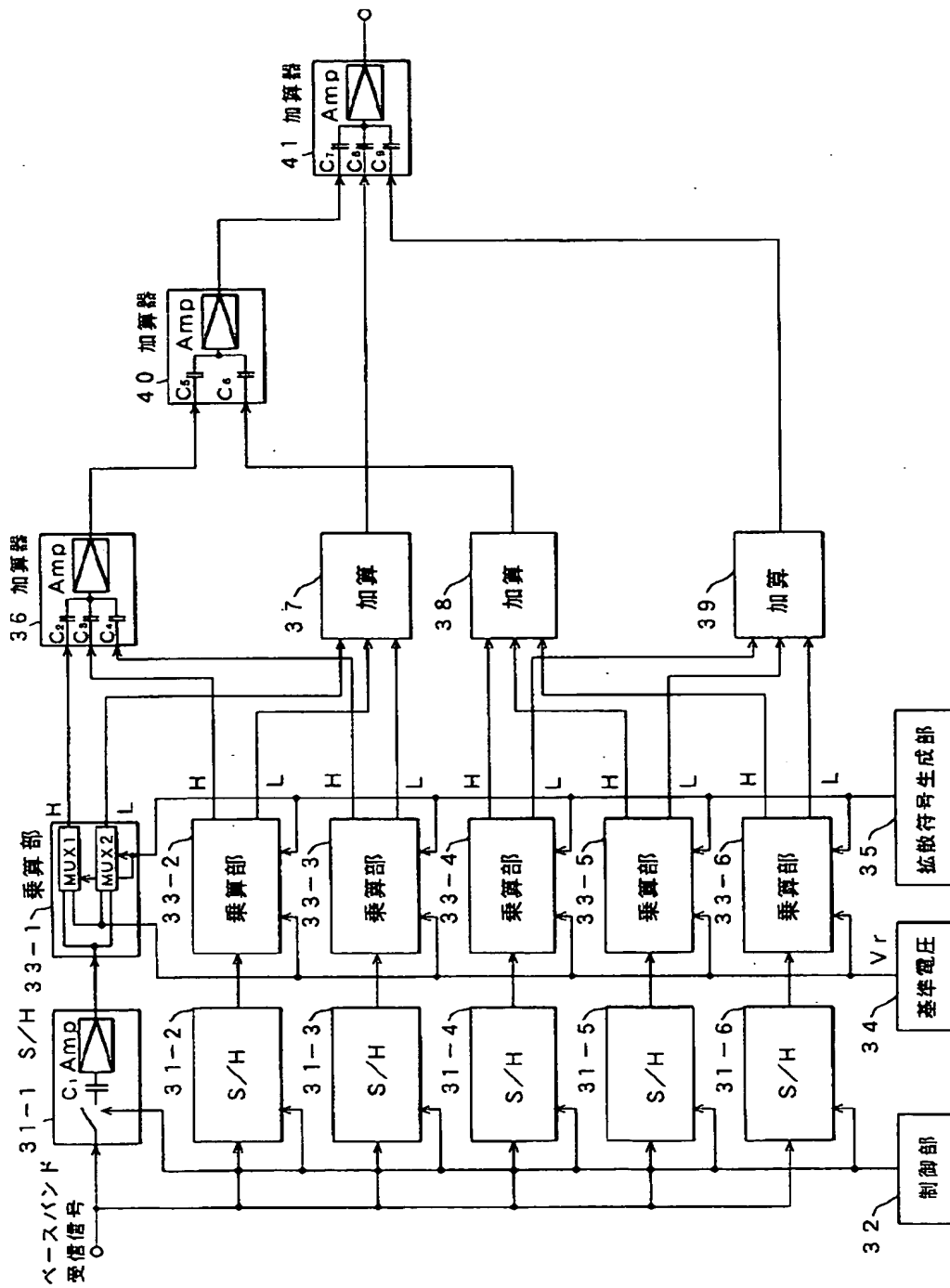
【図8】



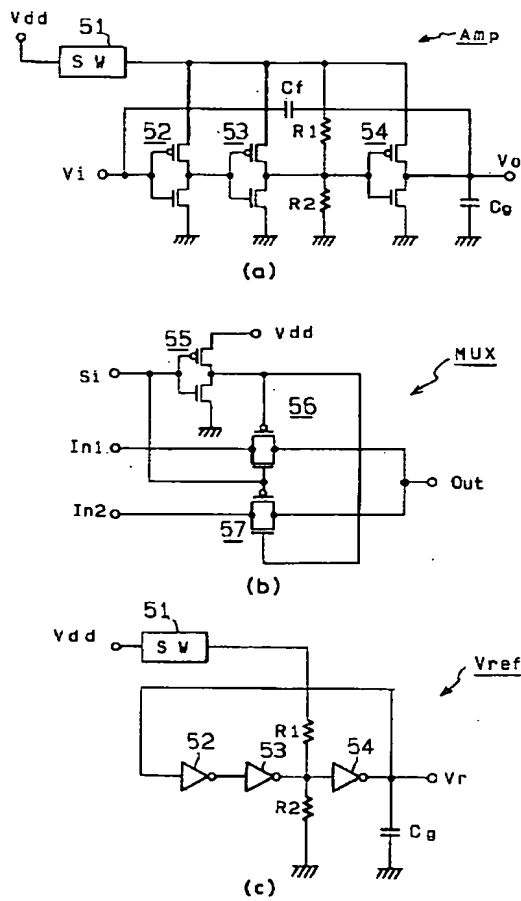
【図3】



【図6】



【圖 7】



【図 10】

